

1/9/1

ORIGINAL FILE 34700010

101 1.00 101 1.00 101 1.00 101 1.00
004.0043 ***Image not in file***

GROOVE-BURIED SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUB. NO.: 62 100001 (JP 610-0001) A.
PUBLISHED: March 21, 1980 (128001)
INVENTOR(S): MINOSHIMA YOSHIOHARU
MORIYAMA YASUHI
YAMADA KENJI
YAMAGUCHI KENJI
APPLICANT(S): NIPPON TRADING & DEVELOPMENT CO., LTD. (000001) A Japanese
Company, of Japan
APPL. NO.: 6 210001 (JP 60-10001)
FILED: September 18, 1980 (220000)
INT. CLASS.: H01L 21/02 (1974) H01L 21/02 (1974)
CLASS. CODE: 4213 (CLASSIFICATION) 5 (in State Department) 45.2
INFORMATION PRACTICES: Library Division
JOURNAL: Sect. 001, Section No. 004, Vol. 11, No. 241, Pg. 17, August
09, 1980 (000000)

ABSTRACT

FIGURE: To suppress or even eliminate the risk of quality margin in a device, the present invention is effectively prevent an electric interference between wells and is achieved by a semiconductor device of well area by forming a capacitor on the lower part of the side of an insulator which divided by lattice, the groove, and forming a conductor on the side of the side.

DESCRIPTION: A second conductivity type thin semiconductor layer 2 and a first conductivity type second semiconductor layer 3 are laminated on a first conductivity type semiconductor substrate 1, and the layers 2, 3 are regularly separated by lattice, the groove 4, the depth which extends at a substrate 1, first insulation film 5 are formed on the side of the layer 2 and in the bottom of the groove, a first conductor 10 is buried in the bottom of the groove through the film 5 on the side of the layer 2, and a second conductor 11 is formed by the layer 2, the film 5 and the conductor 10. A second conductivity type diffused layer 12 is formed on the upper surface of the layer 3, a second insulation film 13 is formed on the side of the layer 1, a second conductor 14 is formed in the groove or the side 11-12 by insulating 13 from the conductor 10, and an interlayer 15 is formed on the layers 2, 3, the layer 15, the film 13 and the conductor 14.

面を形成する金属として銅にシリコンを添加し、シリコン濃度を20～25重量%を調整したのち、アモルファスシリコン膜を形成する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。

図1は、上記工程で形成されたシリコン膜の断面図を示す。シリコン膜は、シリコン濃度を20～25重量%を調整したのち、アモルファスシリコン膜を形成する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。

シリコン膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。

次に、シリコン膜を形成する。シリコン膜は、シリコン濃度を20～25重量%を調整したのち、アモルファスシリコン膜を形成する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。

以上の工程で、シリコン膜の厚さを0.1～0.2μmに調整する。

シリコン膜を形成する。シリコン膜は、シリコン濃度を20～25重量%を調整したのち、アモルファスシリコン膜を形成する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。

実施例1

シリコン膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。

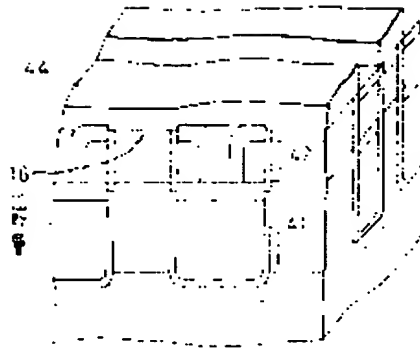
シリコン膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。

シリコン膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。

実施例2

シリコン膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。

シリコン膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。また、上記膜の厚さを0.1～0.2μmに調整する。



(C)

图 1 图

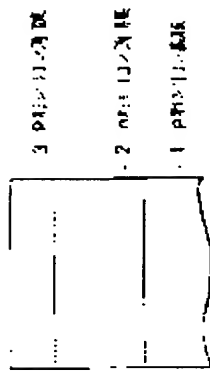


图 2 图

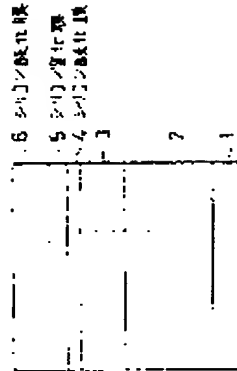


图 3 图

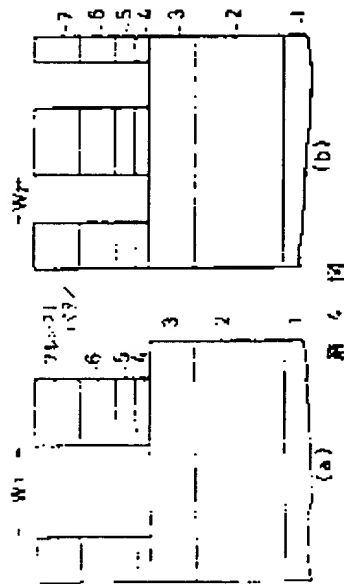
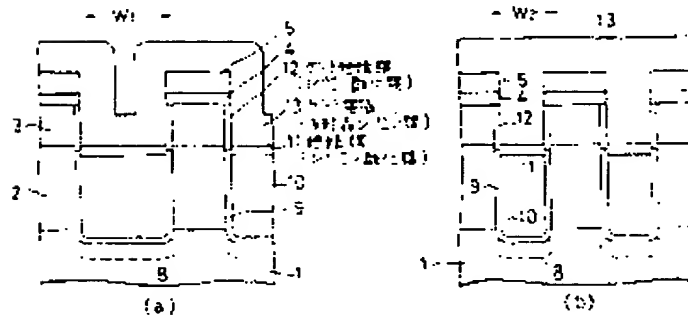
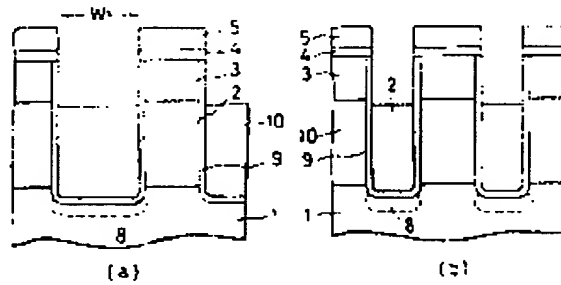
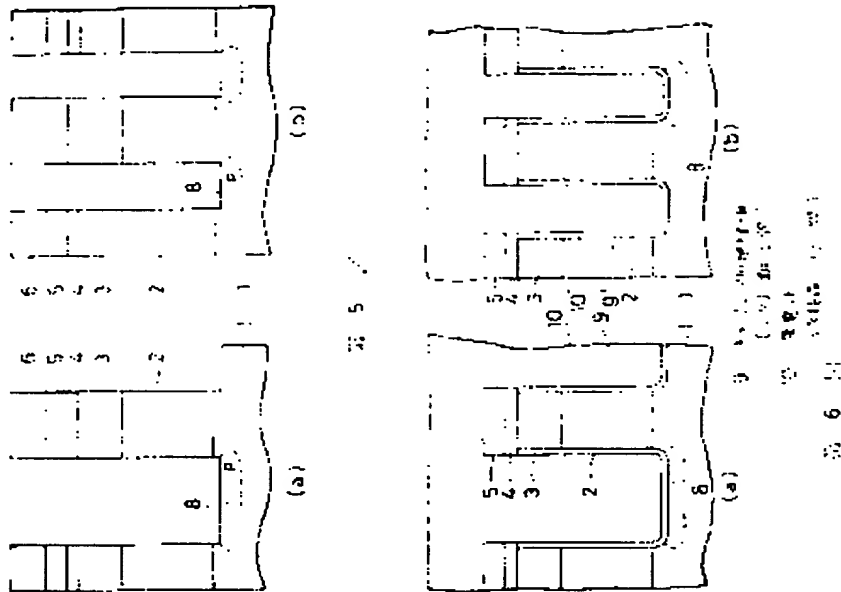
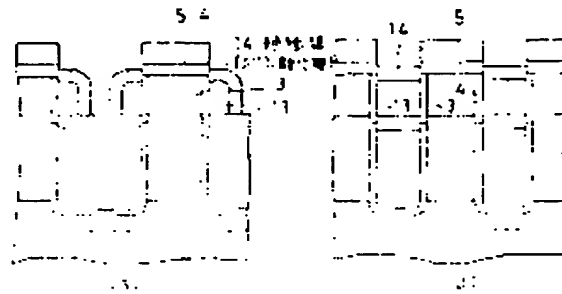
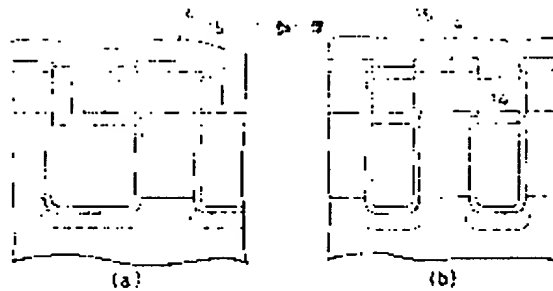


图 4 图

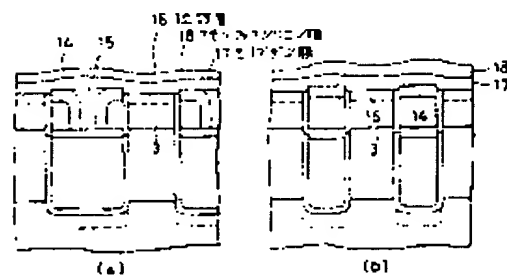




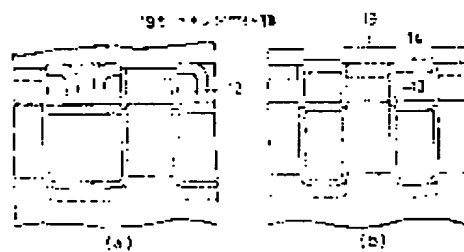
15



4 10 4



४१२



2 1 3



图 13

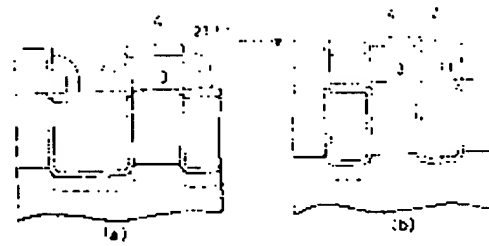


图 14

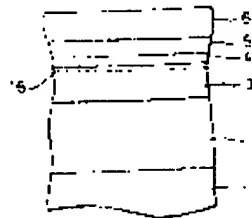


图 15

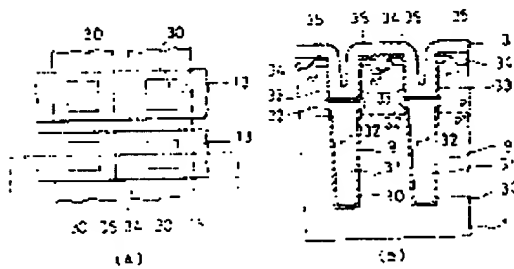


图 16